

# SD適用解説（基礎編）

SI Design for EMC

EMC設計イノベーション.COM 代表 林 克彦  
2023年1月



EMC設計イノベーション.com



## ○EMC設計

### ◆今までのEMC設計

～基板設計(A/W)以降の工程向け（手戻り解決）～

- ハウツー本業界誌 : EMC対策として**やるべきこと**がわからない
- ベンダーのツール : 結果が出てきても**何をやるべきか**わからない
- EMC対策 ～イメージで語られている／根拠・客観性が乏しい

➡**情報は提供される** しかし対策は自分で考える

### ◆当社の視点

知ろうEMC設計！ **新たな気づきと知識**

**EMC課題** : **回路図設計段階でツールで回路を評価**

EMC設計イノベーション.com



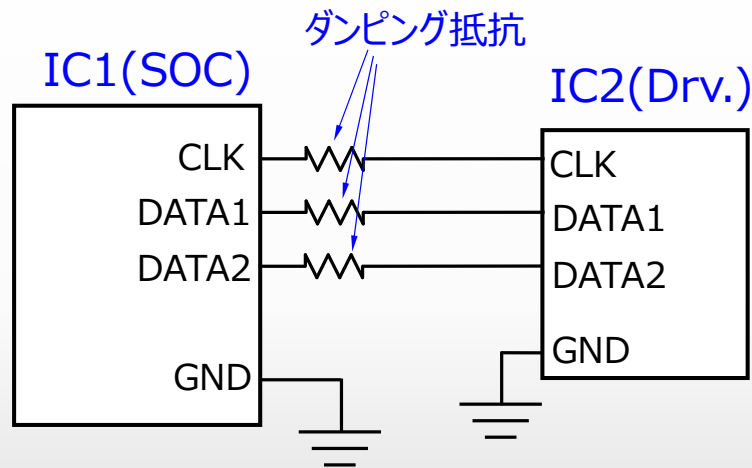
# 信号線のEMC設計 SD適用

## 1 SD適用の概要

- SI (Signal Integrity) 設計をEMIに適用(*SI Design for EMI*)
- 対象信号ライン : CLKライン  
DATAラインはCLKラインに合わせた設定でよい
- IS設計ツール : SPICE系シミュレータ
- ラインモデル : 断面形状計算と線路長／電磁界Simからのモデル
- ICの出力 : IBISモデルを使用 (HSPICE : より好ましい)
- 波形解析(SI) ⇔ スペクトラル解析(EMI) 設計評価
- [回路図設計段階で実施](#)  
→ 評価現場でのEMI対策作業を低減

# ○信号ライン SD適用

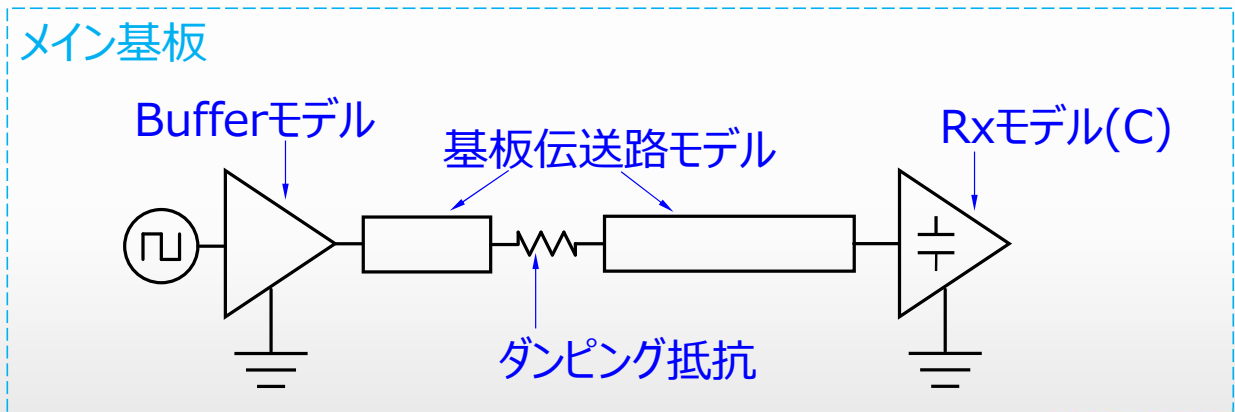
## ■信号ライン



- 通常のSI設計
- ・IC1:出力Bufferモデル設定 IC2:入力端波形確認
- ・ダンピング抵抗値設定 / BufferのDrv.設定 / 温特

# ○SD適用の基本モデル

## ■Simモデル



- ・Rx端における波形+波形のスペクトル解析を行う
- ・更に信号出力側の波形とスペクトル

→SD適用

## 2 モデリング方法とシミュレーション

### ○適用手順

#### ■回路図設計段階

#### ■信号ラインの設定（CLKライン）

製品の回路基板形状と部品仮配置の関係より概略の長さを想定

基板仕様(GND層・A面配線)より伝送路の断面形状を設定

電磁界Sim利用の場合は直線モデルでよい

#### ■IS設計ツール（Signal-Ad等、IBIS動作環境）

### ○モデル

#### ■送信側(Tx) : Bufferモデル IBIS/HSPICE

ベンダー／webより入手 ・マニュアル付きの場合は内容確認

ICの使用条件確認（CLK／Drv設定／電圧／PKG）

#### ■受信側(Rx) : ゲート容量を考慮したC

#### ■伝送線路モデル 基板上／（ハーネス）

断面形状確認・製品仕様よりライン長想定

→ ツールの伝送路モデルを利用（Z、Time）

→ 電磁界Simより Sパラ／SPICEモデルを利用

## ○設計例

■CLK : 8MHz (3.3V)

■基板のCLKライン長(MSL) 100mm

信号ライン幅 0.1mm

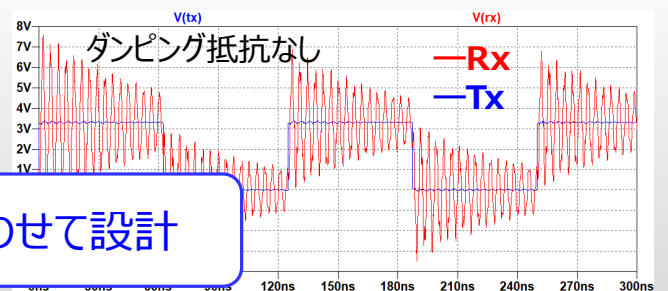
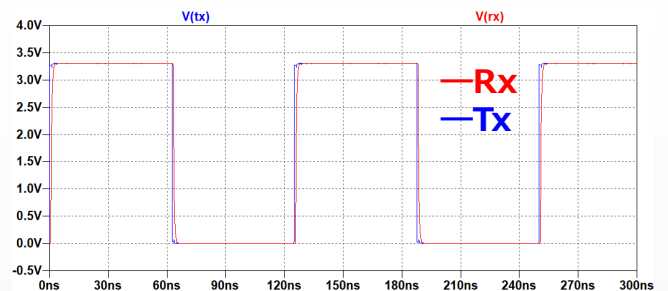
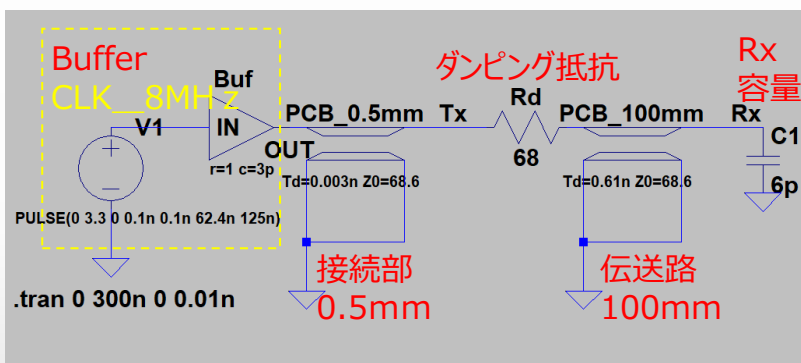
GND間誘電体厚み 0.1mm 誘電率4.7

■Tx側 : 今回はLTspiceで説明 モデルを設定  
<実設計ではIBISモデルを使えるツールを使用する>

■Rx側 : 6 pF

## 3 ダンピング抵抗の最適化／SD適用

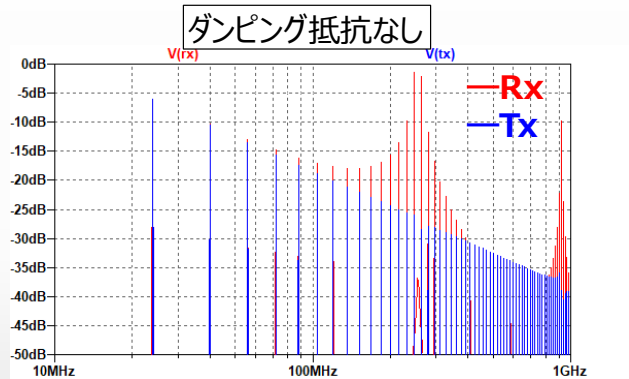
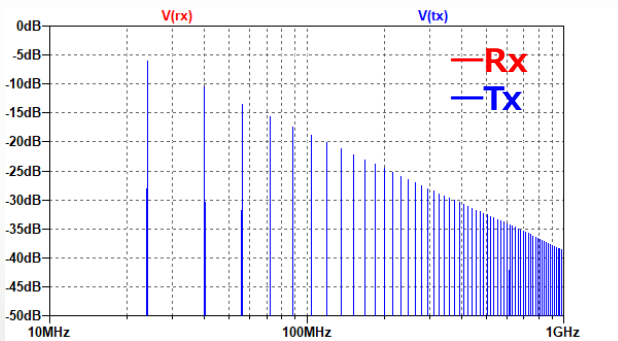
■SI (波形) 解析



✓SI設計 : ダンピング抵抗をBufferに合わせて設計

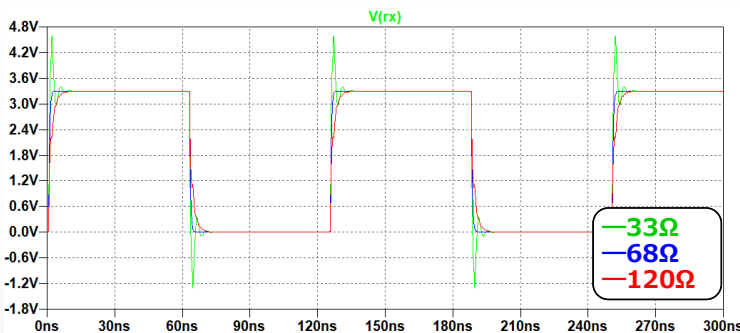
# ○SD適用

## ■SD適用 スペクトラム解析

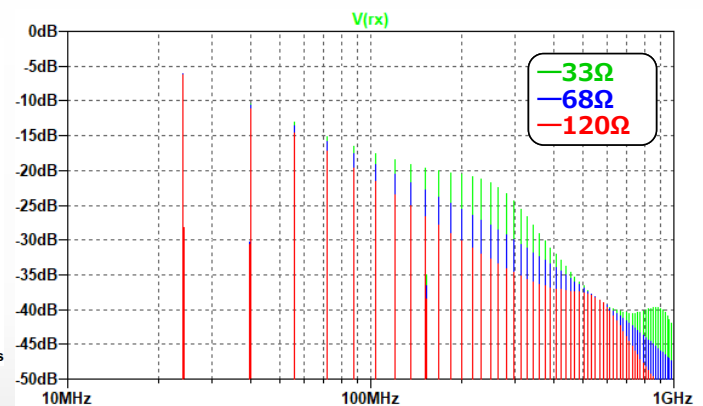


✓ダンピング抵抗：伝送路端間の反射を抑制 →EMI対策

# ○ダンピング抵抗・値



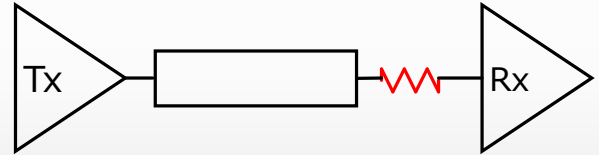
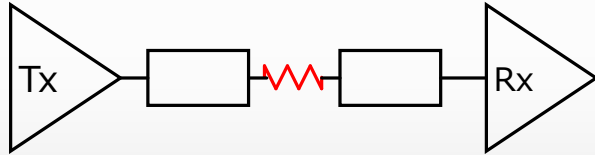
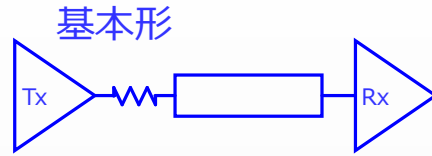
■ダンピング抵抗変化時のRx端波形



■ダンピング抵抗変化時Rx波形の周波数成分

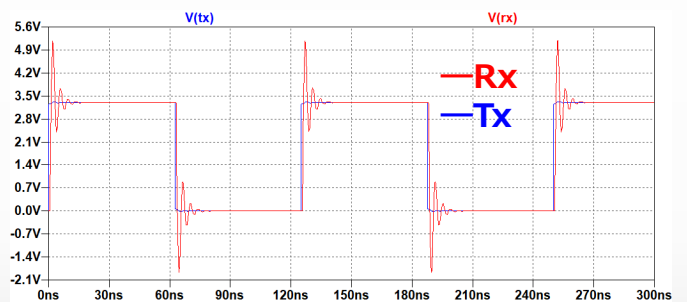
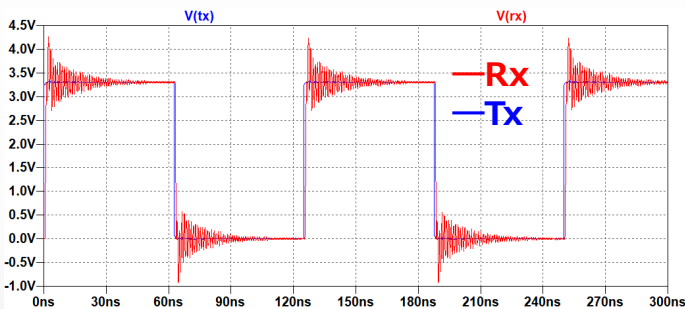
- ✓抵抗値小 ⇒ リンギング大 →ノイズスペクトラム増
- ✓抵抗値大 ⇒  $t_r/t_f$ 遅延大 →ノイズスペクトラム減
- ✓Bufferのドライブ能力により設定抵抗値を変更

# ○ダンピング抵抗・位置



- ①ダンピング抵抗：伝送路(100mm)中央配置    ②ダンピング抵抗：伝送路(100mm)Rx側配置

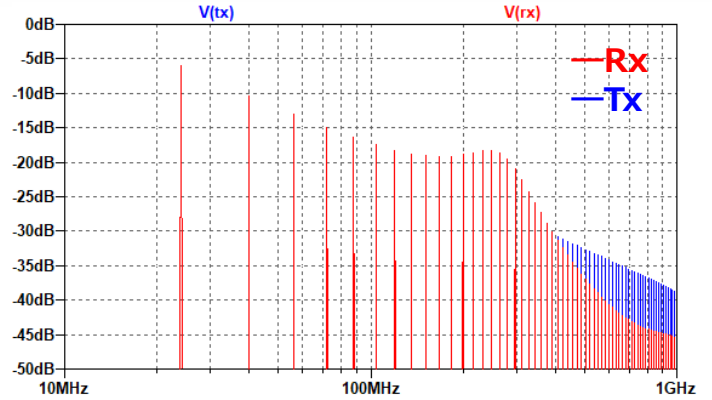
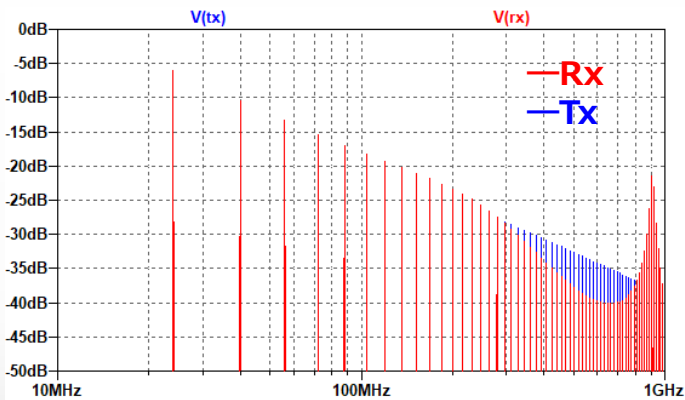
# ○ダンピング抵抗・位置



- ①ダンピング抵抗：伝送路(100mm)中央配置    ②ダンピング抵抗：伝送路(100mm)Rx側配置

✓ダンピング抵抗：Tx側ICの出力端直近に配置は必須  
 ✓リング発生 ⇒EMILレベルに直接影響

## ○ ダンピング抵抗・位置

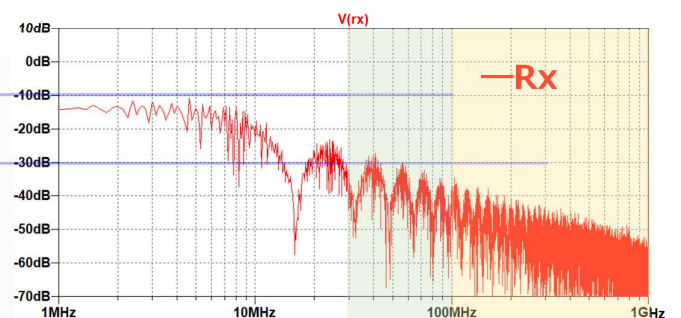
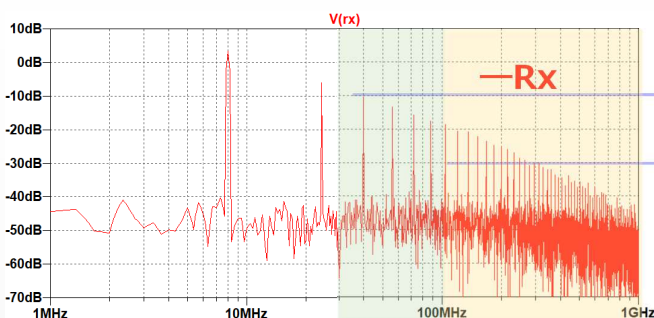


①ダンピング抵抗：伝送路(100mm)中央配置

②ダンピング抵抗：伝送路(100mm)Rx側配置

- ✓リング発生 ⇒ノイズスペクトラムのレベルを上昇
- ✓ダンピング抵抗の位置：伝送路端反射の抑制効果に影響

## ○EMI対策 CLK & DATA



■ CLK\_8MHzの周波数スペクトル

■ DATA\_16Mbpsの周波数スペクトル

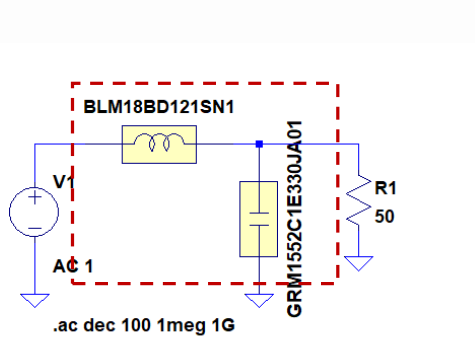
- ✓CLK周波数の高調波帯でスペクトラムレベル高
- ✓DATA信号：EMI帯域(30~1000MHz)CLKより10~20dB低い
- ✓DATA信号：CLK←DATAシーケンスによる変調 = 周波数拡散作用

➔ CLKラインの対策が重要

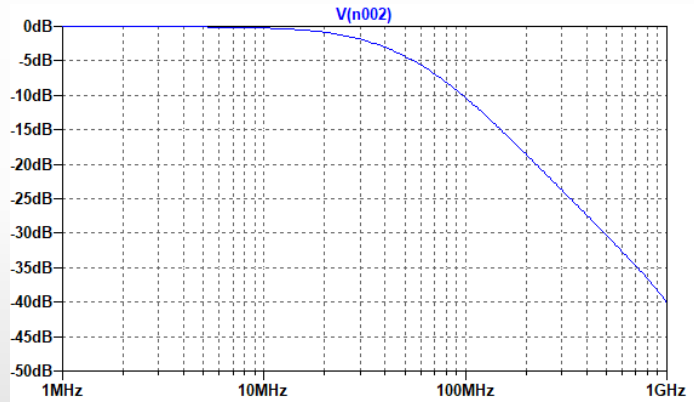


# ○EMI対策 EMIフィルタ

## ■EMIフィルタは信号ラインに適當か？



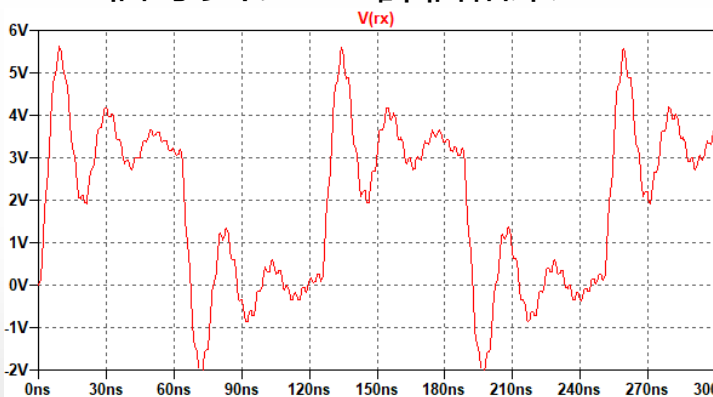
■ EMIフィルター及び特性評価Sim



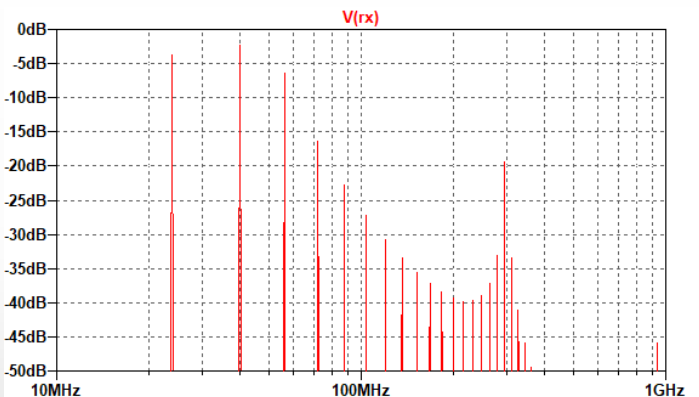
■ EMIフィルターの通過特性

# ○EMI対策 EMIフィルタ

## ■信号ラインSim評価結果



■ 信号波形 CLK 8MHz



■ 信号波形の周波数成分

- ✓リング発生 ←フィルター出力端-IC入力端間で信号反射
- ✓ピークとなる高調波帯が発生 →不要輻射

➡ 信号ラインのEMIフィルタ：好ましくない

## ○“SD適用・実践編”の内容

### ☆信号ライン起因のEMI課題の構成

メイン基板とサブ基板間のケーブル経由での信号の送受信

#### ■Simモデル作成の手順

#### ■設計例紹介 ノイズ放射(EMI)対策方法

- 伝送路モデルによる計算例
- 注視すべき箇所と対策方法 (回路処理)

#### ■SD適用 →放射対策の設計法

- ハーネス経由時
- 信号分岐時 (新たな回路処理)
- ハーネス経由+信号分岐

## ○“SD適用・差動編”の内容

### ☆SD適用：差動成分のSI検証 & 同相成分の周波数解析

➡基本的に差動線路接続部の整合設計

#### ■デジタルの差動とは

#### ■基本Simモデルと作成手順

#### ■Gbps以下の差動伝送路設計

- VLDS/USB2.0
- CMチョークの効果

#### ■Gbps以上の差動伝送路設計

- 課題
- 注意点

## ○SD適用の効果

■ICの動作確認 ←波形解析

⇔信号ラインのEMI対策 ←スペクトラム解析

★動作とEMCを同時評価 <回路図設計段階>

■IC間の信号ラインの長さ(ハーネスを含む)によるEMIリスクを評価

■SD最適化によりEMC対策部品を削減

■ハーネスに装着するF-コアの削減にも効果 (⇐背景説明 技術&学術)

■EMI対策フィルタの類は好ましくない

## ○当社セミナーの提供

■回路図段階におけるEMC設計(課題・リスクの低減)の気づき

■回路設計者が注意すべき回路設計技術が身に付く

SPICE系Simの知識・適用の仕方が身に付きます

■回路設計者/EMC技術者/A/W設計者間のコミュニケーション



■製品設計現場におけるEMC課題解決・リスクの低減

■EMC対策現場の負荷低減 (人材・製造コスト・時間)

## ○セミナー

### ■セミナーをご希望される方

ご希望のセミナーを選択し“[お問い合わせ](#)”でご連絡下さい  
早々に見積書を作成し返信致します。

### ■セミナーの進め方

各項目のセミナーはオンラインで行います。  
各セミナーはそれぞれ約1時間×2回程度となります。  
セミナー後 特定期間中に内容について質問ができます。  
詳細につきましては事前にお打ち合わせさせていただきます。

## ○会社情報

■社名 EMC設計イノベーション.com

■代表者 林 克彦

■所在地 長野県塩尻市広丘

■設立 2022年2月

■取引銀行 八十二銀行 広丘支店

■ホームページ <https://emc-di.com>

～ MBDでEMC設計をDX! ～

■お問い合わせ 当社ホームページ“[お問い合わせ](#)”ページ

## ○当社の事業

### EMC設計に関するセミナーの提供（リモート）

1. PD(PI Design for EMI)適用  
電源ラインに関するEMC設計方法／SPICE-Simの方法
2. SD(SI Design for EMI)適用
  - 2.1.信号ラインに関するEMC設計法／IBIS-Sim
  - 2.2.差動信号(～Gbps)への適用
3. WD(Wiring Board Design for EMI)提案  
EMC設計に適用した回路基板設計（単層基板／両面基板／4層基板）
4. EMC設計 背景説明  
機器からのノイズ放射のメカニズムを理解（座学）

## ○当社の事業

### EMC設計に関するセミナーの提供（リモート）

5. 電源回路のEMC
  - 5.1.電源回路(DC-DC)における30MHz帯ノイズシミュレーション
  - 5.2.雷サージ（AC-DC／IEC61000-4-5）シミュレーション
6. ESD<sup>2</sup>(ESD Design)に関するセミナー
  - 6.1.静電気に関する理論的解説・メカ設計（座学）
  - 6.2.IEC61000-4-2試験対策（電磁界Sim）

それぞれのセミナーの特長は下記のリンクを参照

[EMC設計技術 | MBDでEMC設計をDX！ \(emc-di.com\)](http://emc-di.com)

## ※本テキストの取り扱いに関します厳守・免責事項

- 本テキストの図表・文章・写真等、一切の無断転載を禁止します。
- 本テキストの著作権は当社（EMC設計イノベーション.com）に帰属します。
- 本テキストをコピー・入力等で複製・掲載することは、社内用・社外用を問わず当方の承諾無しにはできません。無断複製は損害賠償、著作権侵害の罰則の対象となります。
- インターネットの検索等で見つかるような場所(クラウドやファイルサーバ等)で本テキストを保管しないでください。
- 当社のテキストのご利用者様が開発・設計される機器へ本テキストの技術を適用される場合は、ご利用者様の責任にて適用・実施を頂きますようお願い申し上げます。
- 知的財産権等につきましても、ご利用者様が事前に調査されることをお願い致します。
- 当社のテキストの技術適用によりご利用者様に生じます損害・費用・損失・責任についての申し立てにつきましてはご容赦願います。

ご清聴ありがとうございました